

* 2

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-62712

⑬ Int. Cl.

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)3月18日

H 03 F 3/45

A

7741-5 J

未審査請求によるし取下げ

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 CMOS演算増幅器回路

⑯ 特 願 平1-198821

⑰ 出 願 平1(1989)7月31日

⑱ 発 明 者 吉 井 宏 治 東京都大田区中馬込1丁目3番6号 株式会社リコー内
 ⑲ 出 願 人 株 式 会 社 リ コ ー 東京都大田区中馬込1丁目3番6号
 ⑳ 代 理 人 弁 理 士 青 山 葆 外1名

明 細 書

1. 発明の名称

CMOS演算増幅器回路

2. 特許請求の範囲

(1) 入力信号を受けるPチャンネルMOSトランジスタを対とする差動段と、上記入力信号を受けるNチャンネルMOSトランジスタを対とする差動段と、前記両差動段の出力を合成する回路とを備えたことを特徴とするCMOS演算増幅器回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、CMOS集積回路における演算増幅器に関する。

〔従来の技術〕

最近、高集積のコストダウン、小型化等の要求から、アナログ信号とデジタル信号が混在する電子回路システムを1チップ化しようとする試みが進められており、その具体化の一つとしてCMOSトランジスタの集積回路にて実現されている。

CMOSトランジスタを用いた演算増幅器とし

ては、第5図あるいは第6図に示すように、PチャンネルMOSトランジスタもしくはNチャンネルMOSトランジスタを対とする差動入力段X、Yのいずれか一つを入力部に配したものである。第5図に示した回路においては、PチャンネルMOSトランジスタ1と2にてなる差動段Xに接続されたPチャンネルMOSトランジスタ3は、PチャンネルMOSトランジスタ4とカレントミラー回路C1を構成する。一方、PチャンネルMOSトランジスタに接続されたNチャンネルMOSトランジスタ5は、NチャンネルMOSトランジスタ6とでカレントミラー回路C2を構成する。NチャンネルMOSトランジスタ6に接続されたPチャンネルMOSトランジスタ7の電流は、PチャンネルMOSトランジスタの電流Iの1/2となるようにその寸法が定められている。上記の回路構成において、PチャンネルMOSトランジスタの電圧が低下すると、上記各カレントミラー回路C1、C2の作用によって出力端子の電圧が上昇

特開平 3-62712(2)

する。

第6図の場合にも上記と類似の作用をなす。

この種の演算増幅器において、同相入力電圧範囲では、第7図で示すように、PMOSを用いた第5図の電極側電圧の一部(“ア”の部分)に対しては不動作となり、又、NMOSを用いた第6図に示す演算増幅器ではGND(接地)側の電圧の一部(“イ”の部分)で不動作となる。このように、第5図や第6図に示した従来の演算増幅器では、電源電圧からGNDまでの全範囲をカバーして動作することができなかった。これは、主に入力部差動段のMOSトランジスタのしきい値電圧(V_{th})分が不感帯となるからである。

[課題を解決するための手段]

これらの回路を用いて電圧フォロウ回路を構成したときの入出力特性は、それぞれ第8図、第9図のように、PMOSを用いた回路では電源電圧に近い部分で飽和し、一方、NMOSを用いた回路では0ボルト近傍で不動作となり、いずれにおいても同相入力電圧範囲の制限により入力がGN

-3-

本発明のCMOS演算増幅回路は、入力信号を受けるPチャンネルMOSトランジスタを対とする差動段と、上記入力信号を受けるNチャンネルMOSトランジスタを対とする差動段と、前記両差動段の出力を合成する回路とを備えたことを特徴とする。

[作用]

PチャンネルMOSトランジスタを対とする差動入力部における入出力特性は電源電位 V^+ 側で非直線性となるがGND側で直線性となり、一方、NチャンネルMOSトランジスタを対とする差動入力部における入出力特性は、GND側で非直線性となるが電源電位側では直線性となる。前記双方の差動入力部を入力部として用い、これらの各差動入力部の直線性を有する出力を合成回路によって合成することにより、GNDから電源電位にわたって直線性のよい入出力特性が得られる。

[実施例]

以下本発明を一実施例に基いて説明する。第1図において、P1ないしP11はPチャンネル

D(0V)から電源電圧(V^+)まで変化したとき出力は直線的に追従していない。

更に、システム上及びMOS素子の耐圧の制約等により、アナログ部の電源電圧もロジック部と同様5Vの単一電源に限定されることが多く、そのために回路のダイナミックレンジが狭くなる結果、ノイズ及び素子特性のばらつきや変動の影響を受けやすく、高精度なアナログ演算ができなかった。

従って、このような従来の演算増幅器を用いた回路システムでは、外部からの入力レベルやシステム内部での演算結果出力が、当該演算増幅器の許容される同相入力電圧範囲により制限されることのないように、レベル合わせのための回路を挿入する必要があり、回路が増大し、又、回路設計が困難となっていた。

本発明の目的は、入出力電圧範囲の広く、ダイナミックレンジを広く確保した演算増幅器あるいは比較器を提供することにある。

[課題を解決するための手段]

-4-

MOSトランジスタ、N1ないしN9はNチャンネルMOSトランジスタである。N5、N6は一对のNチャンネルMOSトランジスタによる増幅器にてなる差動入力段を形成し、P9、P10は一对のPチャンネルMOSトランジスタによる増幅器にてなる差動入力段を形成している。それぞれのMOSトランジスタのゲートは、図示のごとく非反転入力または反転入力を受けるようになっている。PチャンネルMOSトランジスタP2、P3はカレントミラー回路を構成しており、NチャンネルMOSトランジスタN5のソース・ドレイン間の電流に対応する方向が反転した電流を、上記カレントミラー回路のカレントミラー作用によってPチャンネルMOSトランジスタP2からトランジスタN2、N3に供給する。同様にして、PチャンネルMOSトランジスタP4、P5は、NチャンネルMOSトランジスタN6の電流をカレントミラーにより電流を反転させている。

PチャンネルMOSトランジスタP2のソース(またはドレイン)は、差動入力段のMOSトラン

特開平 3-62712(3)

ジスクP10のソース(またはドレイン)と接続されて、MOSトランジスタP2の電流とP10との電流は加算されるようになっている。NチャンネルMOSトランジスタN2、N3はカレントミラー回路を構成しており、このカレントミラーでMOSトランジスタP10の電流の方向を反転させている。同様に、PチャンネルMOSトランジスタP5とP9とは、相互に接続され、両MOSトランジスタP5とP9との電流は加算される。NチャンネルMOSトランジスタN4、N8は、カレントミラー回路を構成しており、このカレントミラーMOSトランジスタP9の電流の方向を反転させている。

上述のように加算された2つの電流は、NチャンネルMOSトランジスタN5、N6にてなる入力段で得られる出力の電流と、PチャンネルMOSトランジスタP9、P10にてなる入力段で得られる出力との合成である。この合成した電流出力を、カレントミラー回路として構成されているPチャンネルMOSトランジスタP6、P7で電

圧出力に変換し、このMOSトランジスタP7の出力電圧でPチャンネルMOSトランジスタP11及びNチャンネルMOSトランジスタN9で構成される出力段を駆動している。なおPチャンネルMOSトランジスタP11、抵抗R1、NチャンネルMOSトランジスタN11は差動段の動作電流を決定するバイアス回路である。C1は位相補償用コンデンサである。

上記の回路構成によって非反転側の入力端子(NチャンネルMOSトランジスタN5)の入力電圧を変更すると、これに対応してMOSトランジスタP11、N9の出力電圧が変化する。ここでNチャンネルMOSトランジスタN5、N6の差動段は入力電圧が0から両MOSトランジスタN5、N6のしきい電圧($V_{th5,6}$ で表す)ではN5、N6にてなる差動段は動作しない。しかしながら、このような電圧範囲では、PチャンネルMOSトランジスタP9、P10にてなる差動段が動作して非反転入力端子の端子電圧に対するトランジスタP7とN2とのコモン点の電圧が変化し、出

- 7 -

力端子OUTの電圧が変化する。

又、非反転入力電圧がPチャンネルMOSトランジスタP9、P10の V_{th} から電源電位の間にあるときにはPチャンネルMOSトランジスタP9、P10の差動段が動作しないが、この間ではNチャンネルMOSトランジスタN5、N6にてなる差動段が動作して非反転入力端子の電圧端子の電圧変化に対応して出力端子OUTの出力電圧が変化する。

上記のようにして第1図に示した演算増幅器では、入力電圧、例えば非反転側の電圧の0Vから電源電位までの変化に対応して直線的に比例する出力電圧を得ることができる。従って同相入力電圧範囲を広くとれるとともにダイナミックレンジを広くすることができる。

第2図は第1図の演算増幅器を用いて電圧フォロフを構成した例である。入出力特性は、第3図に示したようにGNDから電源電位までの広い電圧範囲の入力に対し出力が直線的に従っている。また、第2図の回路において、非反転入力端子I

- 8 -

N⁺に比較入力を印加し、一方、反転入力端子I⁻に基準入力を印加することによって比較器として用いることもできる。

第4図は第2図の回路を用いて並列比較型A/Dコンバータを構成した例である。従来、比較器にはチョッパ型回路を用いていたため、クロック回路が必要であり、その構成上CMOSトランジスタによるインバークに貫通電流が流れ消費電流が多かったが、比較器10として第1図に示した演算増幅器を用いることにより前記の問題を解決できる。

〔発明の効果〕

以上詳述したように、この発明はPチャンネルMOSトランジスタにてなる差動増幅器とNチャンネルMOSトランジスタにてなる差動増幅器とを用い、両増幅器の出力を合成する方法をとったことにより、演算増幅器やコンバータ回路における同相入力電圧範囲を電源電位からGNDまで広く取れる。これにより、回路システムの信号のダイナミックレンジが大きくなり、ノイズの影響が

性の変動、ばらつきの影響を小さくし、高精度演算を可能にする。また信号レベル設定の必要がなく、回路設計が容易になり、併せて漏電、電源電圧に対する作動範囲も広がる。

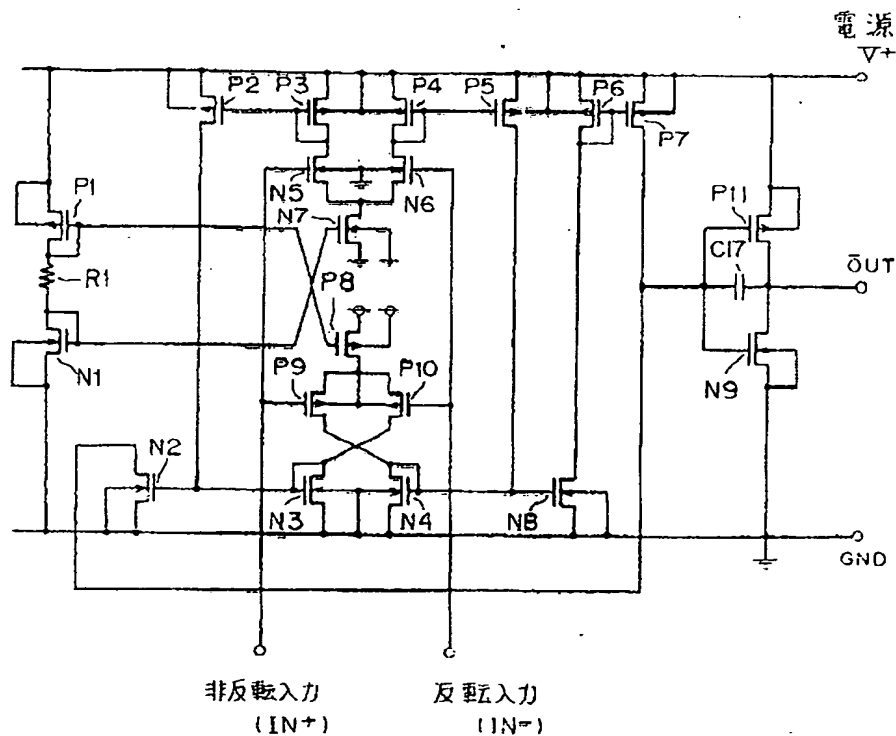
4. 図面の詳細な説明

第1図は本発明のCMOS演算増幅器回路一実施例を示す回路図、第2図は、第1図の回路を電圧フォロフとして用いたときの等価図、第3図は、第2図の回路における入出力特性を示す図、第4図は、第1図の回路の適用例を示す並列比較型A/D比較器の回路図、第5図及び第6図は、従来のCMOS演算増幅器の回路図、第7図は、第5図及び第6図の回路図における同相入力電圧範囲を示す図、第8図及び第9図は、それぞれ第5図及び第6図の回路を電圧フォロフ回路として用いたときの入出力特性を示す図である。

P1～P11…PチャンネルMOSトランジスタ、
N1～N9…NチャンネルMOSトランジスタ、
C1…コンデンサ、R…抵抗。

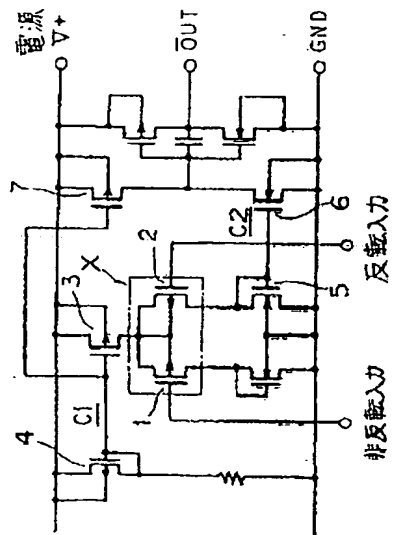
- 11 -

第1図

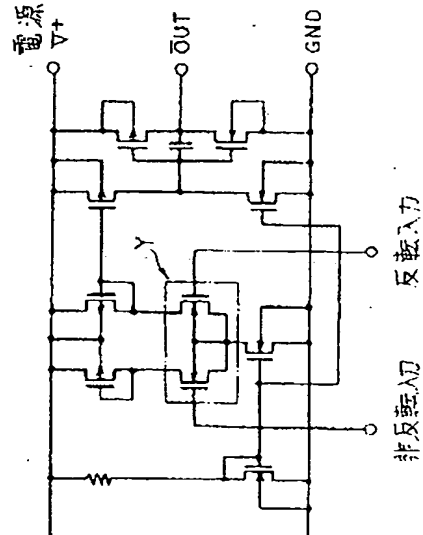


特開平 3-62712(5)

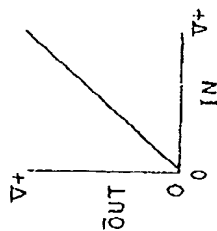
第 5 図



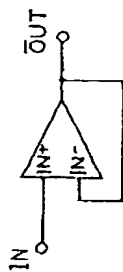
第 6 図



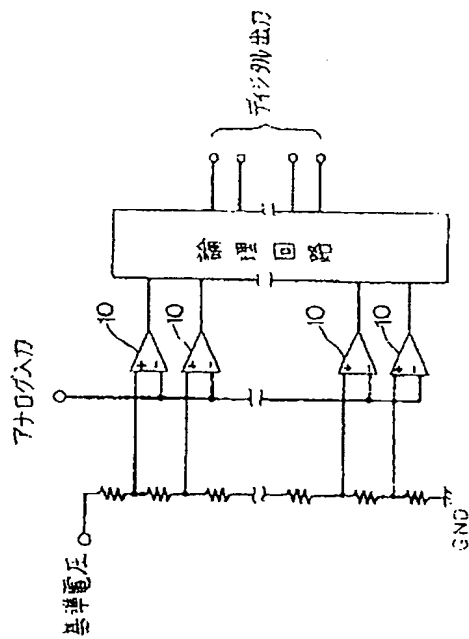
第 3 図



第 2 図

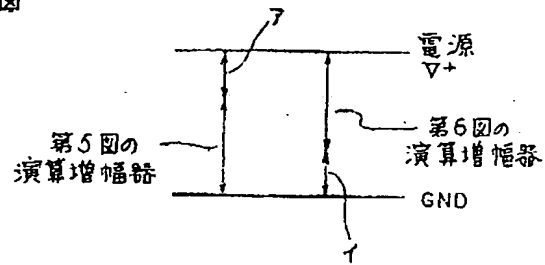


第 4 図

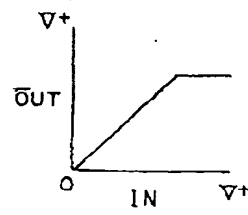


特開平 3-62712(6)

第 7 図



第 8 図



第 9 図

